



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Bakker
Serial No: 10/695,334
Filed: 10/28/2003
For: VOLTAGE REGULATOR WITH SWITCH-ON PROTECTION CIRCUIT

Docket No: TI-34408
Examiner: TBD
Art Unit: TBD

CLAIM FOR PRIORITY FROM FOREIGN APPLICATION UNDER 35 U.S.C. §119

Assistant Commissioner For Patents
Washington, DC 20231

MAILING CERTIFICATE UNDER 37 C.F.R. §1.8(a)

I hereby certify that the above correspondence is being deposited with the U.S. Postal Service as First Class Mail in an envelope addressed to: Assistant Commissioner for Patents, PO Box 1450, Alexandria, VA 22313-1450 on 1-21-04.

Tommie Chambers
Tommie Chambers

Dear Sir:

I hereby claim foreign priority under 35 U.S.C. §119(a)-(d) or (f), or 365(b) of any foreign application(s) for patent, inventor's or plant breeder's rights certificate(s), or 365(a) of any PCT International application which designated at least one country other than the United States of America, listed below and have also identified below, any foreign application for patent, inventor's or plant breeder's rights certificate(s), or any PCT international application having a filing date that of the application which priority is claimed.

Prior Foreign Application Number(s)	COUNTRY	Foreign Filing Date	Priority Not Claimed	Certified Copy Attached?	
				Yes	No
102 55 582.6	Germany	11/28/2002	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>

Respectfully submitted,

W. Daniel Swayze, Jr.
W. Daniel Swayze, Jr.
Attorney for Applicant
Reg. No. 34,478

Texas Instruments Incorporated
P.O. Box 655474, MS 3999
Dallas, TX 75265
(972) 917-5633

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 55 582.6

Anmeldetag: 28. November 2002

Anmelder/Inhaber: TEXAS INSTRUMENTS DEUTSCHLAND GMBH,
Freising/DE

Bezeichnung: Spannungsregler mit Einschaltenschutzschaltung

IPC: G 05 F, H 02 H

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 10. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Faust



Manzingerweg 7
D-81241 München
Tel.: + 49 89 89 69 8-0
Fax: + 49 89 89 69 8-211
Email: info@prinzundpartner.de

TEXAS INSTRUMENTS DEUTSCHLAND GMBH
Haggertystraße 1
85356 Freising

T10089 DE
Hb /Hb

28. November 2002

Spannungsregler mit Einschaltenschutzschaltung

Die Erfindung betrifft einen Spannungsregler mit Einschaltenschutzschaltung.

Für den Betrieb einer Vielzahl von elektronischen Schaltungen sind Spannungsregler erforderlich, die die von einer Spannungsversorgung ausgehende
5 Spannung in eine für die jeweilige Schaltung geeignete Spannung wandeln und die Schaltung mit Strom versorgen.

Im Stand der Technik sind verschiedene Spannungsregler bekannt. So wird z.B. in dem Lehrbuch „Elektronik“ von Dieter Zastrow, Friedrich Vieweg & Sohn Verlagsgesellschaft mbH, Braunschweig/Wiesbaden, 5. Auflage, 1999, auf der
10 Seite 232 ein Spannungsregler mit einem Operationsverstärker beschrieben, der auch als Fehlerverstärker bezeichnet wird. Der Fehlerverstärker vergleicht an seinen Eingängen eine Referenzspannung, die die Soll-Ausgangsspannung des Spannungsreglers definiert, mit einer über einen Spannungsteiler von der tatsächlichen Ausgangsspannung des Spannungsreglers abgeleiteten Spannung.
15 Mit dem am Ausgang des Fehlerverstärkers entstehenden Fehlersignal, das die Abweichung der Ist-Ausgangsspannung des Spannungsreglers von der Soll-Ausgangsspannung des Spannungsreglers definiert, wird ein Ausgangstristor so gesteuert, dass die Ist-Ausgangsspannung des Spannungswandlers der Soll-Ausgangsspannung nachgeführt wird.

Wird als Ausgangstransistor ein PMOS-FET verwendet, was erforderlich sein kann, wenn die Spannungsdifferenzen zwischen der Eingangsspannung V_{dd} des Spannungsreglers und der Soll-Ausgangsspannung sehr klein sind, so ergibt sich der in der Fig. 1 dargestellte Schaltungsaufbau. Bei einem solchen Schaltungsaufbau ergibt sich beim Einschalten des Schaltreglers, d.h. beim Hochfahren der Eingangsspannung V_{dd} von 0 Volt auf ihren endgültigen Wert, das Problem, das ein sehr starkes Überspringen der Ist-Ausgangsspannung über die Soll-Ausgangsspannung erfolgen kann, was in der Fig. 4a exemplarisch dargestellt ist, in der die Ausgangsspannung des Spannungsreglers während des Hochfahrens der Eingangsspannung über der Zeit aufgetragen ist. In der Fig. 4a übersteigt die Ausgangsspannung beim Einschalten den Sollwert der Ausgangsspannung (2 Volt) kurzzeitig um ca. 1 Volt. Sind nun mit dem Ausgang (Vout) des Spannungsreglers Bauelemente (z.B. CMOS-Bauelemente) verbunden, die sehr empfindlich gegenüber Überspannungen sind, so können diese Bauelemente beim Einschalten des Spannungsreglers beschädigt oder sogar zerstört werden. Darüber hinaus können Überspannungen die Lebensdauer der Bauelemente verringern.

Die Aufgabe der Erfindung besteht daher darin, einen Spannungsregler mit einem Ausgangstransistor, der aus einem PMOS-FET besteht, und einer einfach aufgebauten und effektiven Einschaltschutzschaltung zu schaffen, bei dem die Gefahr der Beschädigung von Bauelementen, die mit dem Ausgang des Spannungsreglers verbunden sind, beim Einschalten des Spannungsreglers, d.h. dem Hochfahren der Eingangsspannung, wesentlich vermindert ist.

Diese Aufgabe wird durch einen Spannungsregler mit einem Ausgangstransistor, der aus einem ersten PMOS-FET besteht, wobei an dem Sourceanschluß des Ausgangstransistors die Eingangsspannung des Spannungsreglers anliegt und der Drainanschluß des Ausgangstransistors den Ausgang des Spannungsreglers bildet, einem Regelmittel, das so ausgebildet ist, dass es an seinem Ausgang ein die Abweichung der tatsächlichen Ausgangsspannung des Spannungsreglers von der Soll-Ausgangsspannung des

Spannungsreglers repräsentierendes Fehlersignal erzeugen kann, wobei der Ausgang des Regelmittels mit dem Gateanschluß des Ausgangstransistors verbunden ist, der durch das Fehlersignal so gesteuert wird, dass möglichst keine Abweichungen zwischen der Ausgangsspannung und der Soll-
5 Ausgangsspannung auftreten, und einer Einschaltenschutzschaltung gelöst, die einen zweiten PMOS-FET umfaßt, wobei der Sourceanschluß des zweiten PMOS-FETs mit der Eingangsspannung des Spannungsreglers, der Drainanschluß des zweiten PMOS-FETs über einen Pull-Down-Widerstand mit einem Bezugspotential und der Gateanschluß des zweiten PMOS-FETs mit dem Bezugspotential verbunden
10 ist, und darüber hinaus einen dritten PMOS-FET umfaßt, wobei der Sourceanschluß des dritten PMOS-FETs mit der Eingangsspannung des Spannungsreglers, der Drainanschluß des dritten PMOS-FETs mit dem Gateanschluß des Ausgangstransistors und der Gateanschluß des dritten PMOS-FETs mit dem Drainanschluß des zweiten PMOS-FETs verbunden ist.

15 Die Einschaltenschutzschaltung des Spannungsreglers ist in besonders einfacher und daher kostengünstiger Weise aufgebaut. Sie kommt in der einfachsten Form lediglich mit zwei weiteren PMOS-FETs und einem Pull-Down-Widerstand aus. Durch den einen PMOS-FET wird der Ausgangstransistor während des Hochfahrens der Eingangsspannung zunächst kurzzeitig gesperrt, während der
20 andere PMOS-FET den einen PMOS-FET nach einer gewissen Zeitdauer dazu bringt, den Ausgangstransistor wieder freizugeben. Die Einschaltenschutzschaltung ist sehr einfach aufgebaut und verwendet keine aufwändigen Bauelemente wie Komparatoren etc.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen
25 gekennzeichnet.

Die Erfindung wird nun anhand der Zeichnung beispielshalber erläutert. In der Zeichnung zeigen:

- Fig. 1 einen Schaltplan eines im Stand der Technik bekannten Spannungsreglers,

- Fig. 2 eine erste Ausführungsform eines erfindungsgemäßen Schaltreglers mit Einschaltenschutzschaltung,
- Fig. 3 eine zweite Ausführungsform eines erfindungsgemäßen Schaltreglers mit Einschaltenschutzschaltung,
- 5 - Fig. 4a einen Graphen, in dem die Ausgangsspannung des in der Fig. 1 dargestellten Schaltreglers während des Einschaltens des Schaltreglers über die Zeit aufgetragen ist,
- Fig. 4b einen Graphen, in dem die Ausgangsspannung des in der Fig. 3 dargestellten erfindungsgemäßen Schaltreglers während des Einschaltens des Schaltreglers über die Zeit aufgetragen ist.

In der Fig. 2 ist der Schaltplan einer ersten Ausführungsform eines erfindungsgemäßen Schaltreglers mit Eingangsschutzschaltung dargestellt. Zunächst wird der Aufbau dieser Schaltung beschrieben.

- 15 Die Schaltung weist zunächst einen Ausgangstransistor MP1 auf, der aus einem PMOS-FET besteht. Die Eingangsspannung V_{dd} des Schaltreglers, die im vorliegenden Beispiel bei minimal 2,25 Volt liegen soll, ist mit dem Sourceanschluß des PMOS-FETs MP1 verbunden. Der Drainanschluß des PMOS-FETs MP1 ist mit dem Ausgang des Schaltreglers verbunden, an dem die
- 20 geregelte Ausgangsspannung V_{out} anliegt. Der Ausgang kann z.B. mit einem elektronischen Gerät verbunden sein, das z.B. spannungsempfindliche Bauelemente wie CMOS-Bauelemente umfasst.

- Der Ausgangstransistor MP1 wird von einem Operationsverstärker 1 angesteuert, der im Stand der Technik auch als Fehlerverstärker bezeichnet wird
- 25 und dessen Ausgang mit dem Gateanschluß des Ausgangstransistors MP1 verbunden ist. An einem Eingang des Fehlerverstärkers 1 liegt eine Referenzspannung V_{ref} an, die z.B. von einer Bandabstandsreferenzspannungserzeugungsschaltung erzeugt werden kann und

die den Sollwert der Ausgangsspannung des Schaltreglers bestimmt, der im vorliegenden Beispiel bei 1,8 Volt liegt. Der andere Eingang des Fehlerverstärkers empfängt ein von der tatsächlichen Ausgangsspannung V_{out} des Spannungsreglers über den aus den Widerständen $R1$ und $R2$ bestehenden Spannungsteiler abgeleitetes Signal, das den momentanen Wert der Ausgangsspannung V_{out} repräsentiert. Am Ausgang des Fehlerverstärkers wird ein Signal erzeugt, das die Abweichung zwischen der Soll-Ausgangsspannung und der Ist-Ausgangsspannung repräsentiert und mit dem der Ausgangstransistor $MP1$ während des normalen Betriebs des Schaltreglers, d.h. außerhalb des Einschaltmodus, so gesteuert wird, d.h. Abweichungen zwischen Soll- und Istwert der Spannung verringert werden. Unter „Einschalten“ soll hier das Hochfahren der Eingangsspannung V_{dd} von 0 Volt auf ihren Endwert verstanden werden.

Der in der Fig. 2 dargestellte Schaltregler besitzt darüber hinaus eine Einschaltschutzschaltung, die dazu dient, den Ausgang der Schaltung und mit dem Ausgang verbundene, gegenüber Überspannungen empfindliche Bauelemente während des Hochfahrens der Eingangsspannung V_{dd} von 0 Volt auf 2,25 Volt vor Überspannungen zu schützen, die durch Überspringen entstehen könnten (siehe dazu die Fig. 4a).

Die Einschaltschutzschaltung ist sehr einfach aufgebaut und kommt ohne aufwändige Schaltungskomponenten wie Komparatoren etc. aus. Sie besteht aus den beiden PMOS-FETs $MP2$ und $MP3$ sowie dem Widerstand $R3$.

Der Sourceanschluß des zweiten PMOS-FETs $MP2$ ist dabei mit der Eingangsspannung V_{dd} des Spannungsreglers verbunden. Der Drainanschluß des zweiten PMOS-FETs $MP2$ ist am Schaltungspunkt 2 mit dem Gateanschluß des dritten PMOS-FETs $MP3$ verbunden. Der Gateanschluß des zweiten PMOS-FETs $MP2$ ist mit einem Bezugspotential V_{ss} verbunden, das im vorliegenden Fall das Massepotential ist. Der Sourceanschluß des dritten PMOS-FETs $MP3$ ist ebenfalls mit der Eingangsspannung V_{dd} des Spannungsreglers verbunden. Der Drainanschluß des dritten PMOS-FETs $MP3$ ist am Schaltungspunkt 3 mit dem Ausgang des Fehlerverstärkers 1 verbunden. Der Widerstand $R3$, der als Pull-

Down-Widerstand fungiert, ist zwischen den Schaltungspunkt 2 und Masse (V_{ss}) geschaltet.

Im folgenden wird die Funktionsweise der in der Fig. 2 dargestellten Schaltung während des Hochfahrens der Eingangsspannung V_{dd} beschrieben.

- 5 Dabei wird zunächst der Fall betrachtet, bei dem die Eingangsspannung $V_{dd} = V_{ss} = 0$ Volt beträgt. In diesem Fall liegt sowohl am Gateanschluß als auch am Sourceanschluß des zweiten MOS-FETs MP2 die Spannung $V_{ss} = 0$ Volt an, so dass der Betrag der Gate-Source-Spannung den Betrag der Schwellenspannung nicht erreicht und MP2 gesperrt ist. Auch der MOS-FET MP3 ist gesperrt, da sein
- 10 Gateanschluß über den Pull-Down-Widerstand R3 auf Massepotential gezogen wird und am Sourceanschluß ebenfalls das Massepotential anliegt. Am Ausgang V_{out} der Schaltung liegt dann das Massepotential V_{ss} an.

- Wird nun die Eingangsspannung V_{dd} beim Einschalten des Spannungsreglers hochgefahren, so ändert sich die im letzten Absatz beschriebene
- 15 Situation solange nicht, wie die Eingangsspannung V_{dd} unter dem Betrag der Schwellenspannung der beiden PMOS-FETs MP2 und MP3 bleibt, wobei davon ausgegangen wird, dass die Schwellenspannung der beiden PMOS-FETs gleich ist.

- Übersteigt nun die Eingangsspannung V_{dd} während des Hochfahrens die
- 20 Schwellenspannung der beiden PMOS-FETs MP2 und MP3, so schaltet der zweite PMOS-FET MP2 durch, da der Betrag der Gate-Source-Spannung nun den Betrag der Schwellenspannung übersteigt. Gleichzeitig schaltet auch der dritte PMOS-FET MP3 durch, da auch dessen Schwellenspannungsbetrag überschritten wird. Durch das Durchschalten des dritten PMOS-FETs MP3 wird die an dem in
- 25 der Fig. 2 eingezeichneten zweiten Schaltungspunkt 3 anliegende Spannung auf V_{dd} hochgezogen. Dadurch wird der Gateanschluß des Ausgangstransistors MP1 auf V_{dd} aufgeladen, so dass der Ausgangstransistor MP1 zunächst gesperrt bleibt, da der Betrag der an ihm anliegenden Gate-Source-Spannung (an der Source liegt auch V_{dd} an) seine Schwellenspannung nicht erreicht. Dadurch wird die Regelung

der Ausgangsspannung V_{out} über den Ausgang des Fehlerverstärkers 1 zunächst deaktiviert.

Da der zweite PMOS-FET MP2 durchgeschaltet wurde wird nun der erste Schaltungspunkt 2 und damit allmählich die Gatekapazität des dritten PMOS-FETs MP3 auf V_{dd} aufgeladen, wobei dieser Effekt stärker als die Wirkung des Pull-Down-Widerstands R_3 ist. Wenn dieser Prozeß nach einer gewissen kurzen Zeitspanne, die aber ausreichend ist, um ein Überspringen beim Einschalten des Spannungsreglers zu verhindern, beendet ist, sperrt der dritte PMOS-FET MP3 wieder, da der Betrag der Gate-Source-Spannung den Betrag der Schwellenspannung wieder unterschreitet. Dadurch wird dann auch der Ausgangstransistor MP1 wieder freigegeben, dessen Gatespannung nun durch das am Ausgang des Fehlerverstärkers 1 erzeugte Ausgangssignal bestimmt wird. Nun ist der Einschaltmodus beendet und es setzt wieder der normale Betrieb des Spannungsreglers ein, der hier nicht näher beschrieben wird, da er im Stand der Technik bekannt ist.

In der Fig. 3 ist eine weitere Ausführungsform des erfindungsgemäßen Spannungsreglers mit Einschaltschutzschaltung dargestellt, die eine Weiterentwicklung der in der Fig. 2 dargestellten Ausführungsform darstellt, weshalb nur die Unterschiede erläutert werden.

Die Einschaltschutzschaltung der in der Fig. 3 dargestellten Ausführungsform umfasst darüber hinaus ein RC-Glied, was aus dem Widerstand R_4 und dem Kondensator C besteht. Der Widerstand R_4 ist zwischen die Klemme für die Eingangsspannung V_{dd} und den Sourceanschluß des zweiten PMOS-FETs MP2 geschaltet, während zwischen den Drainanschluß des zweiten PMOS-FETs MP2 und die Masseklemme der Kondensator C geschaltet ist. Das RC-Glied dient dazu, die Zeit festzulegen, während der die Einschaltschutzschaltung wirken soll, da die Zeitkonstante (durch $R_4 \cdot C$ bestimmt) die Geschwindigkeit bestimmt, mit der der Schaltungspunkt 2 beziehungsweise die Gatekapazität des dritten PMOS-FETs MP3 umgeladen wird, nachdem die Eingangsspannung V_{dd} die Schwellenspannung der PMOS-FETs MP2 und MP3 überschritten hat.

Darüber hinaus weist die in der Fig. 3 dargestellte Eingangsschutzschaltung ein Element auf, das dazu dient, sicherzustellen, dass während des Wirkens der Eingangsschutzschaltung der Ausgang Vout des Spannungsreglers auf Massepotential Vss bleibt und ein „Floaten“ des Ausgangs verhindert wird. Dieses Element besteht aus dem NMOS-FET MN1, dem Widerstand R5 sowie dem vierten PMOS-FET MP4. Der vierte PMOS-FET MP4 bildet mit dem dritten PMOS-FET MP3 zusammen einen zeitgleichen Schalter. Der Sourceanschluß des vierten PMOS-FETs MP4 ist mit der Klemme für die Eingangsspannung Vdd verbunden. Der Drainanschluß des vierten PMOS-FETs MP4 ist über den Widerstand R5 mit der Klemme für das Massepotential Vss verbunden. Der Gateanschluß des vierten PMOS-FETs MP4 ist mit dem Gateanschluß des dritten PMOS-FETs MP3 verbunden. Der Drainanschluß des NMOS-FETs MN1 ist mit dem Ausgang Vout des Spannungsreglers verbunden. Der Sourceanschluß des NMOS-FETs MN1 ist mit der Masseklemme verbunden und sein Gateanschluß ist mit dem Drainanschluß des vierten PMOS-FETs MP4 verbunden.

Solange der dritte PMOS-FET MP3 während des Hochfahrens der Eingangsspannung Vdd und des Wirkens der Einschaltenschutzschaltung durchgeschaltet ist, ist auch der vierte PMOS-FET MP4 durchgeschaltet. Der vierte PMOS-FET MP4 zieht während dieser Zeit die Spannung am Gateanschluß des NMOS-FETs MN1 auf Vdd hoch, so dass dieser durchgeschaltet wird. Dadurch wird dann der Ausgang Vout des Spannungsreglers auf Massepotential gezogen, wodurch verhindert wird, dass sich der Ausgang in einem Zustand des „Floatens“ mit einem undefinierten Spannungspegel befinden kann. Sobald der Schaltungspunkt 2 über den zweiten PMOS-FET MP2 und das RC-Glied R4, C aufgeladen ist, wird auch der vierte PMOS-FET MP4 und damit der NMOS-FET MN1 gesperrt und der Ausgang Vout des Spannungsreglers wird wieder freigegeben.

Im übrigen funktioniert die in der Fig. 3 dargestellte Schaltung aber genauso wie die in der Fig. 2 dargestellte Schaltung, so dass auf die oben gegebene Beschreibung Bezug genommen wird.

In der Fig. 4b ist der Verlauf der Ausgangsspannung V_{out} eines in der Fig. 3 dargestellten Spannungsreglers während des Einschaltens des Spannungsreglers, d.h. während des Hochfahrens der Eingangsspannung V_{dd} , über die Zeit dargestellt. Es ist deutlich zu erkennen, wie gegenüber dem im Stand der Technik bekannten Spannungsregler (siehe Fig. 4a) ein Überschwingen der Ausgangsspannung über den Sollspannungswert von 2 Volt vermieden wird und dadurch mit dem Ausgang des Spannungsreglers verbundene spannungsempfindliche Bauelemente geschützt werden.

Es sei darauf hingewiesen, dass sämtliche in der Schaltung gemäß Fig. 2 oder Fig. 3 verwendeten MOS-FETs selbstsperrend sind.

Die als Beispiele dargestellten Ausführungsformen des erfindungsgemäßen Spannungsreglers mit Einschaltenschutzschaltung können in vielfältiger Weise abgewandelt werden. So kann z.B. der Operationsverstärker 1 durch ein anderes Mittel ersetzt werden. Es muß sich dabei nur um ein Regelmittel handeln, das so ausgebildet ist, dass es an seinem Ausgang ein die Abweichung der Ist-Ausgangsspannung von der Soll-Ausgangsspannung repräsentierendes Fehlersignal erzeugen kann, wobei der Ausgang des Regelmittels mit dem Gateanschluß des Ausgangstransistors verbunden ist, der durch das Fehlersignal so gesteuert wird, dass möglichst keine Abweichungen zwischen der Ausgangsspannung V_{out} und der Soll-Ausgangsspannung auftreten.

Patentansprüche

1. Spannungsregler mit einem Ausgangstransistor (MP1), der aus einem ersten PMOS-FET besteht, wobei an dem Sourceanschluß des Ausgangstransistors (MP1) die Eingangsspannung (V_{dd}) des Spannungsreglers anliegt und der Drainanschluß des Ausgangstransistors (MP1) den Ausgang des Spannungsreglers bildet, einem Regelmittel (1), das so ausgebildet ist, dass es an seinem Ausgang ein die Abweichung der tatsächlichen Ausgangsspannung (V_{out}) des Spannungsreglers von der Soll-Ausgangsspannung des Spannungsreglers repräsentierendes Fehlersignal erzeugen kann, wobei der Ausgang des Regelmittels (1) mit dem Gateanschluß des Ausgangstransistors (MP1) verbunden ist, der durch das Fehlersignal so gesteuert wird, dass möglichst keine Abweichungen zwischen der Ausgangsspannung (V_{out}) und der Soll-Ausgangsspannung auftreten, und einer Einschaltenschutzschaltung, die einen zweiten PMOS-FET (MP2) umfaßt, wobei der Sourceanschluß des zweiten PMOS-FETs (MP2) mit der Eingangsspannung (V_{dd}) des Spannungsreglers, der Drainanschluß des zweiten PMOS-FETs (MP2) über einen Pull-Down-Widerstand (R_3) mit einem Bezugspotential (V_{ss}) und der Gateanschluß des zweiten PMOS-FETs (MP2) mit dem Bezugspotential (V_{ss}) verbunden ist, und darüber hinaus einen dritten PMOS-FET (MP3) umfaßt, wobei der Sourceanschluß des dritten PMOS-FETs (MP3) mit der Eingangsspannung (V_{dd}) des Spannungsreglers, der Drainanschluß des dritten PMOS-FETs (MP3) mit dem Gateanschluß des Ausgangstransistors (MP1) und der Gateanschluß des dritten PMOS-FETs (MP3) mit dem Drainanschluß des zweiten PMOS-FETs (MP2) verbunden ist.
2. Spannungsregler nach Anspruch 2, bei dem das Regelmittel darüber hinaus so ausgebildet ist, dass es eine Referenzspannung (V_{ref}), die die Soll-Ausgangsspannung des Spannungsreglers definiert, mit einer

Spannung vergleichen kann, die die tatsächliche Ausgangsspannung (V_{out}) des Spannungsreglers repräsentiert.

3. Spannungsregler nach Anspruch 2, bei dem das Regelmittel (1) ein Operationsverstärker ist.
- 5 4. Spannungsregler nach einem der vorhergehenden Ansprüche, bei dem das Bezugspotential (V_{ss}) das Massepotential ist.
- 10 5. Spannungsregler nach einem der vorhergehenden Ansprüche, der so ausgebildet ist, dass die die tatsächliche Ausgangsspannung (V_{out}) repräsentierende Spannung über einen Spannungsteiler (R_1 , R_2) von der Ausgangsspannung (V_{out}) abgeleitet wird.
6. Spannungsregler nach einem der vorhergehenden Ansprüche, bei dem die Einschaltenschutzschaltung darüber hinaus ein RC-Glied umfaßt, das mit der Source-Drain-Strecke des zweiten PMOS-FETs (MP_2) verbunden ist.
- 15 7. Spannungsregler nach Anspruch 6, bei dem der Kondensator (C) des RC-Glieds zwischen den Drainanschluß des zweiten PMOS-FETs (MP_2) und das Bezugspotential (V_{ss}) geschaltet ist und der Widerstand (R_4) des RC-Glieds zwischen die Eingangsspannung (V_{dd}) des Spannungsreglers und den Source-Anschluß des zweiten PMOS-FETs (MP_2) geschaltet ist.
- 20 8. Spannungsregler nach einem der vorhergehenden Ansprüche, bei dem die Einschaltenschutzschaltung darüber hinaus einen NMOS-FET (MN_1) umfaßt, der so geschaltet ist, das er die Ausgangsspannung (V_{out}) des Spannungsreglers während des Einschaltens des Spannungsreglers auf das Bezugspotential (V_{ss}) zwingt.
- 25 9. Spannungsregler nach Anspruch 8, bei dem der Sourceanschluß des NMOS-FETs (MN_1) mit dem Bezugspotential (V_{ss}), der Drainanschluß des NMOS-FETs (MN_1) mit dem Ausgang des Spannungsreglers und

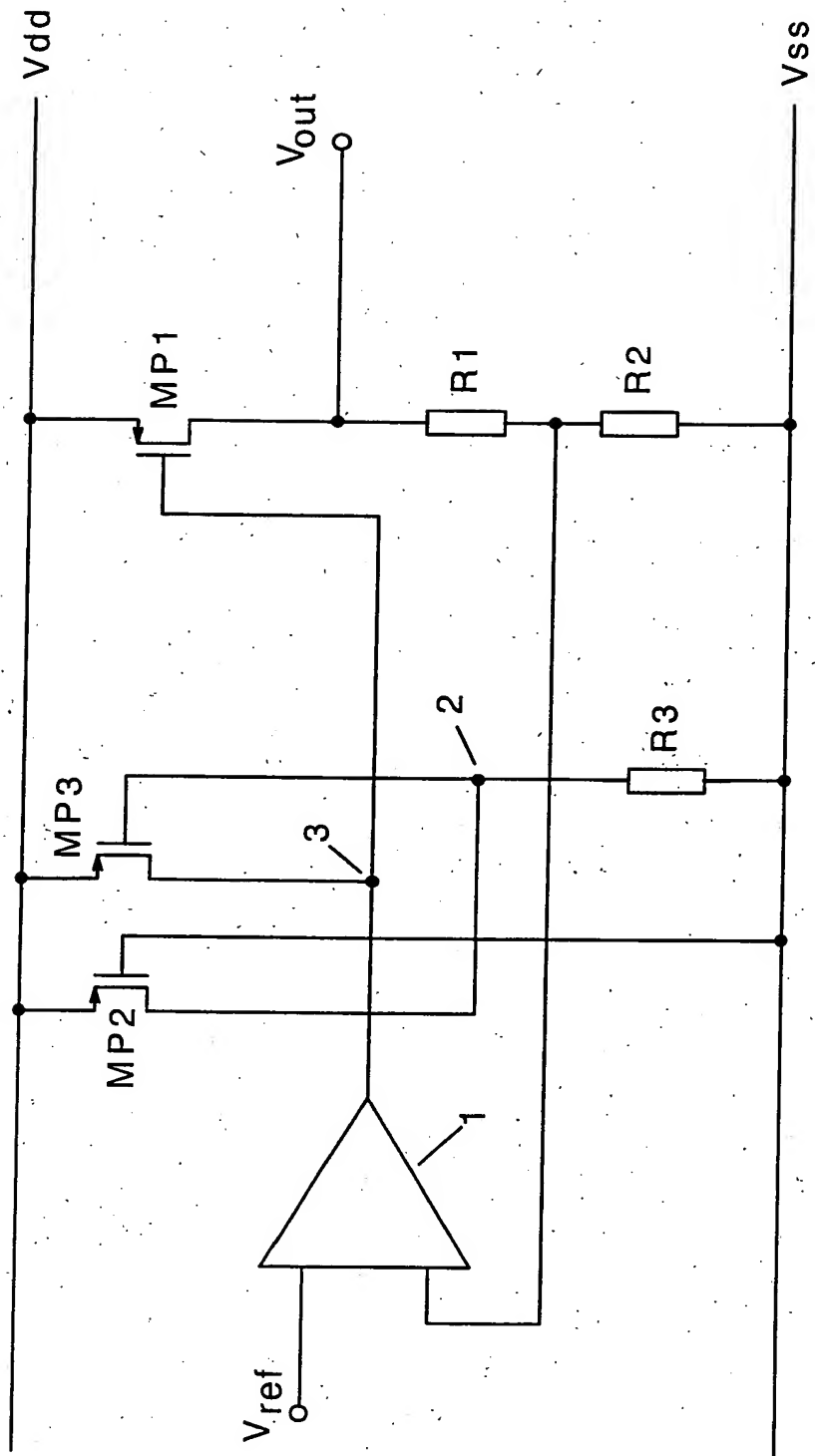
der Gateanschluß des NMOS-FETs (MN1) über einen weiteren Pull-Down-Widerstand (R5) mit dem Bezugspotential verbunden ist, wobei die Einschaltenschutzschaltung darüber hinaus einen vierten PMOS-FET (MP4) umfaßt, der so geschaltet ist, dass er zusammen mit dem dritten PMOS-FET (MP3) einen zeitgleichen Schalter bildet, wobei der Drainanschluß des vierten PMOS-FETs (MP4) mit dem Gateanschluß des NMOS-FETs (MN1) verbunden ist.

10. Spannungsregler nach einem der vorhergehenden Ansprüche, bei dem die Eingangsspannung ungefähr 2,25 Volt und die Soll-Ausgangsspannung ungefähr 1,8 Volt beträgt.
11. Spannungsregler nach einem der vorhergehenden Ansprüche, bei dem beim Einschalten des Spannungsreglers der Pegel der Eingangsspannung (Vdd) von 0 Volt aus hochgefahren wird.
12. Spannungsregler nach einem der vorhergehenden Ansprüche, der in Form einer integrierten Schaltung ausgebildet ist.

Zusammenfassung

- Spannungsregler mit einem Ausgangstransistor MP1, der aus einem ersten PMOS-FET besteht, wobei an dem Sourceanschluß des Ausgangstransistors MP1 die Eingangsspannung V_{dd} des Spannungsreglers anliegt und der Drainanschluß des Ausgangstransistors MP1 den Ausgang des Spannungsreglers bildet. Der Spannungsregler weist darüber hinaus ein Regelmittel 1 auf, das z.B. aus einem Fehlerverstärker bestehen kann und den Ausgangstransistor so steuert, dass möglichst keine Abweichungen zwischen der Ausgangsspannung V_{out} und der Soll-Ausgangsspannung auftreten. Die Verbesserung des Schaltreglers gegenüber bisherigen Lösungen besteht aus einer Einschaltenschutzschaltung, die einen zweiten PMOS-FET MP2 umfaßt, wobei der Sourceanschluß des zweiten PMOS-FETs MP2 mit der Eingangsspannung V_{dd} des Spannungsreglers, der Drainanschluß des zweiten PMOS-FETs MP2 über einen Pull-Down-Widerstand R3 mit einem Bezugspotential V_{ss} und der Gateanschluß des zweiten PMOS-FETs MP2 mit dem Bezugspotential V_{ss} verbunden ist, und darüber hinaus einen dritten PMOS-FET MP3 umfaßt, wobei der Sourceanschluß des dritten PMOS-FETs MP3 mit der Eingangsspannung V_{dd} des Spannungsreglers, der Drainanschluß des dritten PMOS-FETs MP3 mit dem Gateanschluß des Ausgangstransistors MP1 und der Gateanschluß des dritten PMOS-FETs MP3 mit dem Drainanschluß des zweiten PMOS-FETs MP2 verbunden ist.

Fig. 2



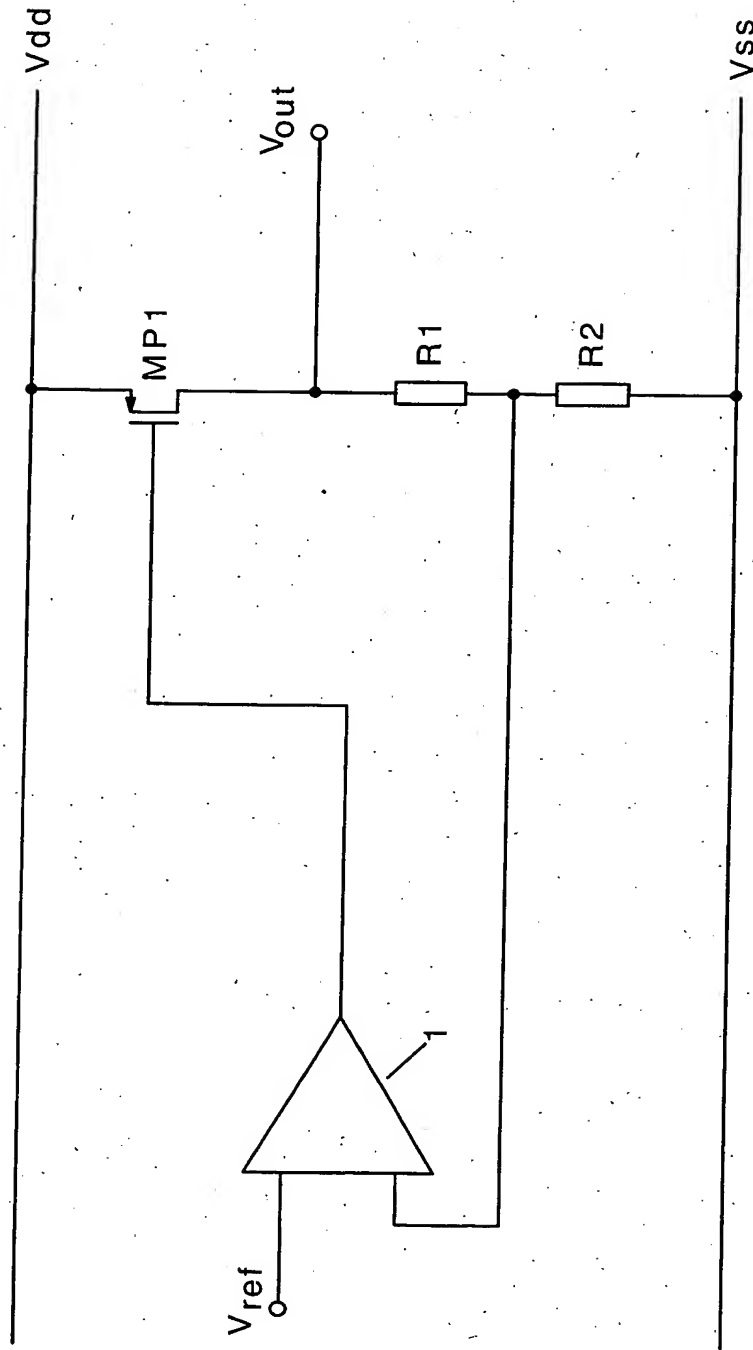


Fig. 1
(Stand der Technik)

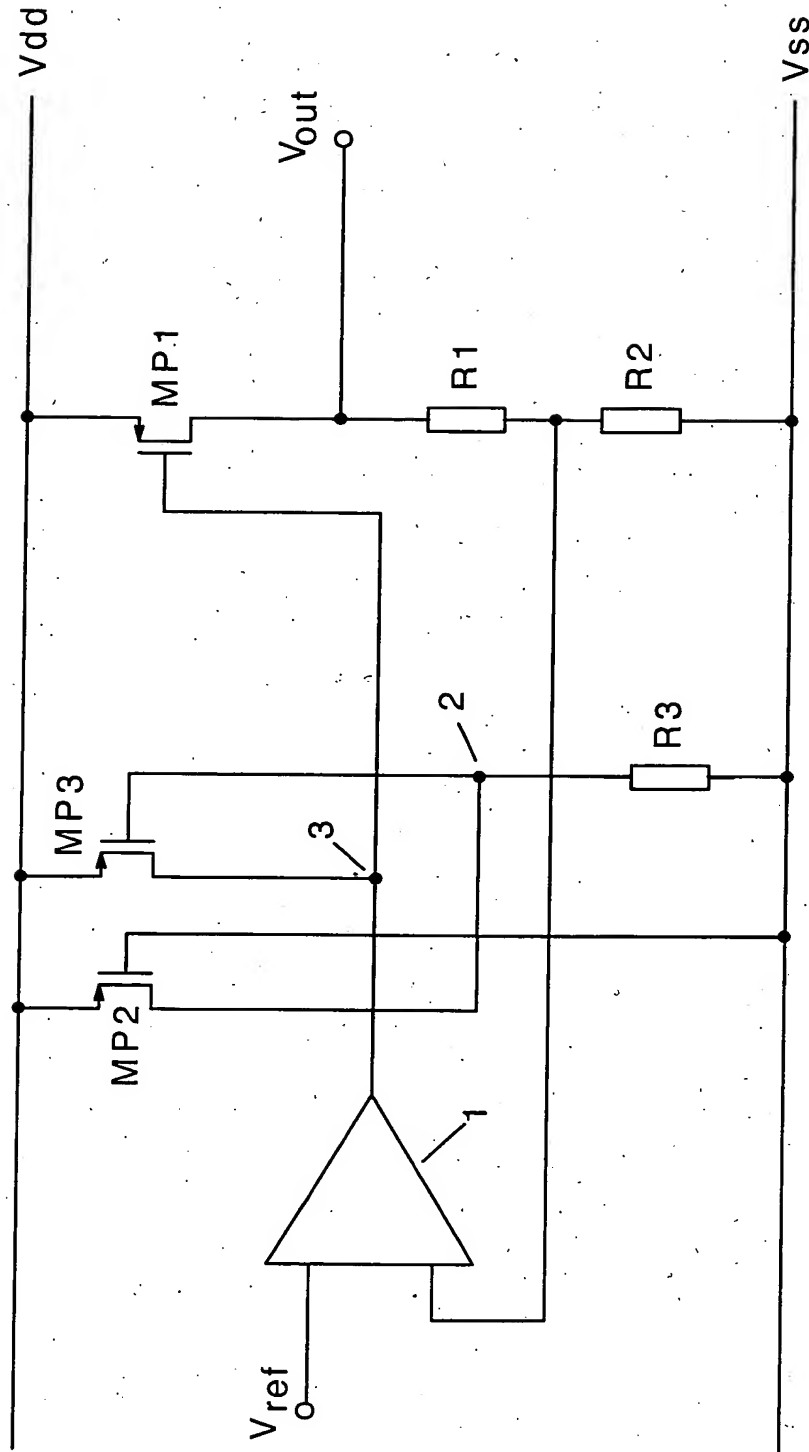


Fig. 2



16

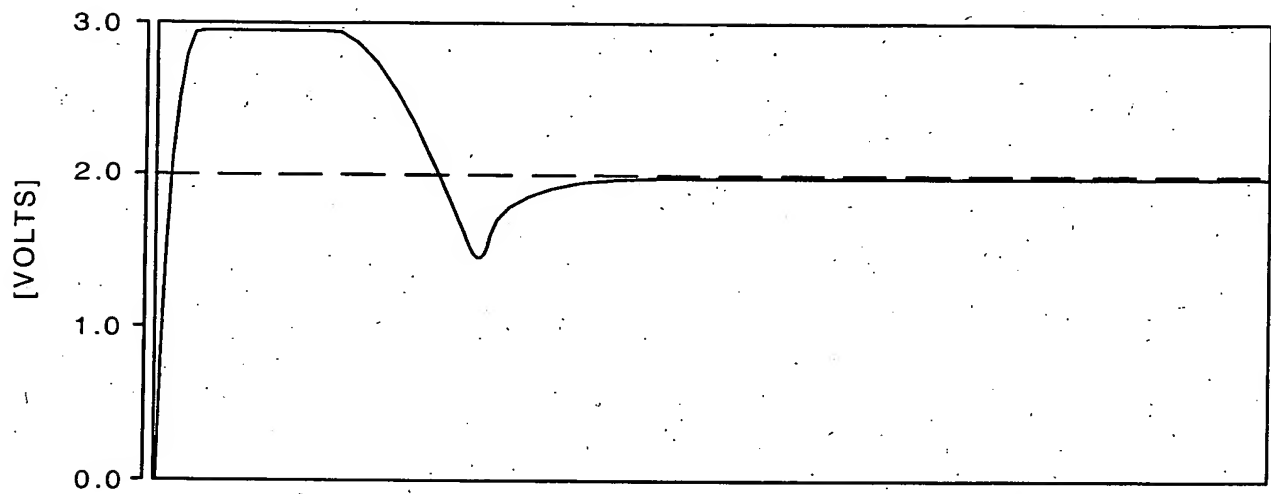


Fig. 4a
(Stand der Technik)

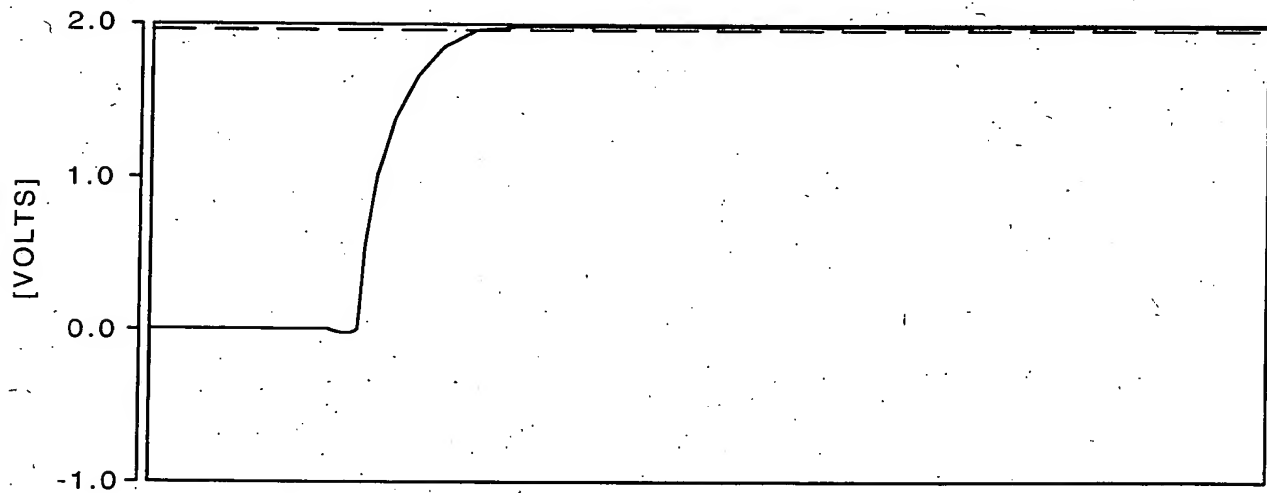


Fig. 4b